

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 54-012643
(43)Date of publication of application : 30.01.1979

(51)Int.CI.

G11C 29/00

(21)Application number : 52-078370
(22)Date of filing : 30.06.1977

(71)Applicant : HITACHI LTD
(72)Inventor : HAYASHI KENJI
MIYADERA HIROO
OONISHI ISAO

(54) MAIN MEMORY PROTECTIVE DEVICE

(57)Abstract:

PURPOSE: To secure the writing inhibition to the region containing the main memory regardless of the state of the key, by providing the writing control bit to the region to designate the inhibition of the writing.

LEGAL STATUS

- [Date of request for examination]
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

⑨日本国特許庁
公開特許公報

⑩特許出願公開
昭54—12643

⑥Int. Cl.²
G 11 C 29/00

識別記号

⑦日本分類
97(7) C 01

⑧内整理番号
7056—5B

⑪公開 昭和54年(1979)1月30日

発明の数 1
審査請求 未請求

(全 2 頁)

⑬主記憶保護装置

⑫特 願 昭52—78370

⑬出 願 昭52(1977)6月30日

⑭發明者 林健治

秦野市堀山下1番地 株式会社
日立製作所神奈川工場内

同 宮寺博男

秦野市堀山下1番地 株式会社

日立製作所神奈川工場内

⑮發明者 大西助

横浜市戸塚区戸塚町5030番地
株式会社日立製作所ソフトウエア工場内

⑯出願人 株式会社日立製作所

東京都千代田区丸の内一丁目5番1号

⑰代理人 弁理士 鈴木誠

明細書

発明の名称 主記憶保護装置

特許請求の範囲

(1) 主記憶装置をある単位に分割し、各分割単位に対応して記憶装置キーを設け、主記憶装置キーと、主記憶装置をアクセスする装置の持つているキーとを使用して、書き込み保護を行なう主記憶保護装置において、主記憶装置のある領域に対して書き込み禁止を指定する書き制御ビットと、その書き制御ビットで書き込みが禁止されている領域に対しては前記キーのいかんに拘らず書き込みを禁止する書き制御装置とを設けたことを特徴とする主記憶保護装置。

(2) 前記書き制御ビットを主記憶装置の前記分割単位に対応して設けたことを特徴とする特許請求の範囲(1)記載の主記憶保護装置。

発明の詳細な説明

この発明は、主記憶装置をある単位に分割し、各分割単位に対応して記憶装置キーを設け、主記

憶装置キーと、主記憶装置をアクセスする装置の持つているキーを使用して、書き込み保護を行なう主記憶保護装置に関する。

従来、主記憶装置に対する書き込み保護は、次のような方法がよく取られていた。すなわち、主記憶装置をある大きさに分割し、それぞれに記憶装置キーを設け、主記憶装置に対して書き込みを行う装置(BPU, CH等)には、保護キーを設け、両キーが一致したとき、または、保護キーがゼロのときにのみ、書き込みが可能となる方法である。しかし、この方法では、保護キーがゼリであるプログラム(一般には管理プログラム)からの書き込みを保護する手段がなく、管理プログラムのエラーによつて、主記憶領域の重要な情報が破壊されてしまうおそれがあつた。

この発明は、前記のような従来の問題点を解決するためになされたもので、主記憶装置の書き込み保護をキーを用いて行なう保護装置において、更に書き制御ビットを設けた点に特徴を有するものである。

次に、本発明の実施例につき、図面を用いて詳細に説明する。

第1図は、主記憶装置1とそれに対応する記憶装置キー4と書き込み保護制御ビット3を示したものである。主記憶装置1をある大きさに分割し(例えば2KB単位)、それぞれに対応して書き込み保護制御ビット3と記憶装置キー4を設ける。例えば、書き込み保護を行ないたい領域2を設けるためには、それに対応する書き込み制御ビット3を1にセットすればよい。

第2図は、書き込み保護を行なうための論理的な制御を示したものである。主記憶装置に書き込みを行なうときには、次の様なチップが行なわれる。保護キー5と記憶装置キー4は比較回路9で比較され、CPU, CH等の一致信号がOR回路10に入力される。また保護キー5は、ゼロ検出器8にも入力され、その出力がOR回路10に入力される。

従来の書き込み保護は、OR回路10の出力によつて書き込みの可否を決めていた。これに対し、本発明においては、OR回路10の出力と、書き込み制御ビ

ト3の反転回路11を通した出力を、AND回路12に入力し、その出力13を用いて書き込みの可否を決めるようしている。したがつて、保護キーがゼロであるプログラムにエラーがあつても、そのエラーによる重要な情報の破壊を防ぐことができる。

なお、前記の実施例においては、記憶装置キーと書き込み制御ビットとの主記憶装置分割単位が等しかつたが、これが異つていてもよいことはもちろんである。

図面の簡単な説明

第1図は、本発明による、書き込み保護領域と、それに対応する書き込み制御ビットを示したものであり、第2図はその書き込み制御を行なうための論理的な流れを示したものである。

- 1 …… 主記憶装置、 2 …… 書込み保護領域、
3 …… 書込み制御ビット、 4 …… 記憶装置キー、
5 …… 保護キー、 7 …… 書込み制御ビット、
8 …… ゼロ検出器、 9 …… 比較回路、 10 …… OR回路、 11 …… 反転回路、 12 …… AND回路。

代理人 幸利士 鈴木 誠

図
1 第

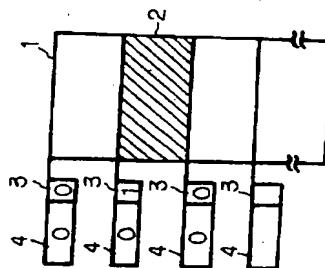
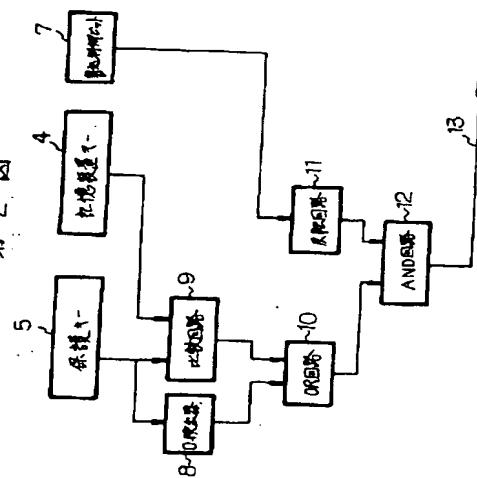


図
2 第



昭 58.5.19 発行

特許法第17条の2の規定による補正の掲載

昭和 52 年特許願第 78370 号（特開昭
54-12643 号 昭和 54 年 1 月 30 日
発行 公開特許公報 54-127 号掲載）につ
いては特許法第17条の2の規定による補正があつ
たので下記のとおり掲載する。 6(4)

[n.t.C13] G11C 29/00	識別記号	府内整理番号 7922-5B
-------------------------	------	-------------------

7. 補正の内容

特許請求の範囲の記載を別紙の通りに補正す
る。

8. 添付書類の目録

特許請求の範囲を記載した書面

1通

手 続 補 正 書 (自 発)

収入印紙金額

0 円

昭和 58 年 3 月 1 日

特許庁長官 著者 和 夫 殿



1. 事件の表示 特願昭 52-78370 号

2. 発明の名称 主記憶保護装置

3. 補正をする者

事件との関係 出願人

住所 東京都千代田区丸の内一丁目 5 番 1 号

名 称 (510) 株式会社 日立製作所

代表者 三田勝茂

4. 代理人 ■151

住所 東京都渋谷区代々木2丁目38番12号 18階ビル201号

氏 名 (7376) 弁理士 鈴木 誠

電話 03(374) 96711

5. 補正により増加する発明の数 なし

6. 補正の対象 明細書の「特許請求の範囲」の欄

特許請求の範囲

(1) 主記憶装置を有する単位に分割し、各分割単位
に対応して記憶装置キーを設け、主記憶装置キー
と、主記憶装置をアクセスする装置の持つている
キーとを使用して、書き込み保護を行なう主記憶保
護装置において、主記憶装置のある領域に対して
書き込み禁止を指定する書き削除御ビットを設け、そ
の書き削除御ビットで書き込みが禁止されている領域
に対しては前記キーのいかんに拘らず書き込みを禁
止することを特徴とする主記憶保護装置。

(2) 前記書き削除御ビットを主記憶装置の前記分割
単位に対応して設けたことを特徴とする特許請求
の範囲(1)記載の主記憶保護装置。

(3) 前記書き削除御ビットを前記分割単位と異なら
せたことを特徴とする特許請求の範囲第1項記載
の主記憶保護装置。